

**M  
E  
N  
U**

[Previous Doc](#)    [Next Doc](#)    [Go to Doc#](#)  
[First Hit](#)

[Generate Collection](#)

L13: Entry 3 of 5

File: JPAB

Jul 30, 1999

PUB-N: JP411202955A

DOCUMENT-IDENTIFIER: JP 11202955 A

TITLE: INTERNAL VOLTAGE GENERATING CIRCUIT FOR SEMICONDUCTOR DEVICE

PUBN-DATE: July 30, 1999

INVENTOR-INFORMATION:

NAME	COUNTRY
RYO, TOJUN	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
LG SEMICON CO LTD	

APPL-N: JP10164840

APPL-DATE: June 12, 1998

INT-CL (IPC): G05 F 1/56; G11 C 11/413; G11 C 11/407; G11 C 16/06; H03 K 19/00

ABSTRACT:

PROBLEM TO BE SOLVED: To prevent the level reduction of an internal voltage to be supplied to a semiconductor device by sensing the reduction of the level of an external voltage lower than a prescribed level in such a state, outputting a relevant signal and supplying the external voltage to the internal voltage or cutting it corresponding to that output signal.

SOLUTION: The level of an external voltage Vcc is converted with a reference voltage Vref and outputted to a driving part 2 by a voltage generating part 1 and by receiving the output of the voltage generating part 1. and an internal voltage Vdd to be fed back, that driving part 2 outputs the internal voltage Vdd at a prescribed level to a switching part 3. Then, that switching part 3 outputs the relevant signal at the time of reducing the level of the external voltage Vcc lower than the prescribed level through an area sensing part 30 and corresponding to that output signal, the external voltage Vcc is supplied as the internal voltage Vdd or cut off. Thus, the level of the internal voltage to be supplied to the semiconductor device is prevented from being rapidly lowered and the erroneous operation of the semiconductor device can be prevented.

COPYRIGHT: (C)1999, JPO

[Previous Doc](#)    [Next Doc](#)    [Go to Doc#](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-202955

(43)公開日 平成11年(1999)7月30日

(51) Int.Cl <sup>a</sup>	識別記号	F I	
G 0 5 F 1/56	3 2 0	G 0 5 F 1/56	3 2 0 C
G 1 1 C 11/413		H 0 3 K 19/00	A
	11/407	G 1 1 C 11/34	3 3 5 A
	16/06		3 5 4 F
H 0 3 K 19/00		17/00	6 3 2 A

審査請求 有 請求項の数4 OL (全7頁)

(21)出願番号 特願平10-164840  
(22)出願日 平成10年(1998)6月12日  
(31)優先権主張番号 75306/1997  
(32)優先日 1997年12月27日  
(33)優先権主張国 韓国(KR)

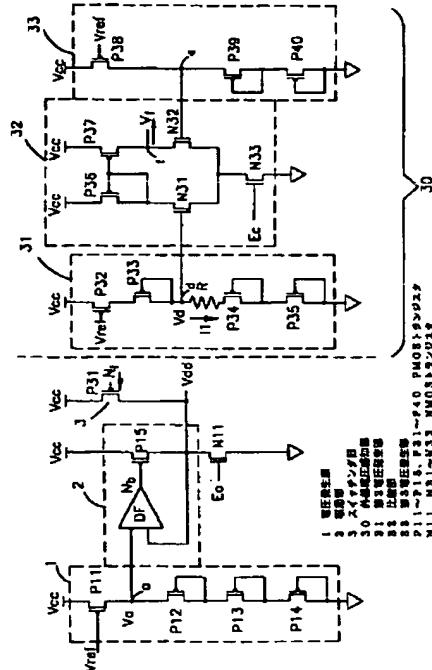
(71)出願人 596034274  
エルジー セミコン カンパニー リミテッド  
大韓民国、チューンチエオンブクード、チエオンジュ、フンダクーニグ、ヒヤングジエオンードン、1  
(72)発明者 梁 桐 璞  
大韓民国忠清北道清州市興徳区佳景洞11  
亨石アパート101-305  
(74)代理人 弁理士 津国 肇 (外3名)

(54) 【発明の名称】 半導体素子の内部電圧発生回路

(57)【要約】

【課題】外部電圧 $V_{cc}$ のレベルが低下するとき、該外部電圧 $V_{cc}$ を直接内部電圧 $V_{dd}$ として供給して内部電圧のレベル低下を防止し得る半導体素子の内部電圧発生回路を提供すること。

【解決手段】 外部電圧  $V_{c\,c}$  のレベルが低下してスイッチングトランジスタが線形領域で動作すると、前記外部電圧  $V_{c\,c}$  を直接内部電圧  $V_{d\,d}$  に連結させて内部電圧  $V_{d\,d}$  の急激な低下を防止し、半導体素子の誤動作を防止し得るように内部電圧発生回路を構成する。



1

## 【特許請求の範囲】

【請求項1】 基準電圧により外部電圧のレベルを変換して出力する電圧発生部と、該電圧発生部の出力及び帰還する内部電圧が入力されて所定レベルの内部電圧を出力する駆動部と、外部電圧のレベルが所定レベル以下に低下すると、これを感知して該当の信号を出力する領域感知部と、該領域感知部の出力信号により外部電圧を内部電圧として供給又は遮断するスイッチング部とから構成されたこと、前記領域感知部は、基準電圧により外部電圧のレベルを変換して出力する第2電圧発生部と、基準電圧により外部電圧のレベルを前記第2電圧発生部の出力電圧のレベルよりも低い電圧レベルに出力する第3電圧発生部と、前記第2電圧発生部の出力電圧及び前記第3電圧発生部の出力電圧のレベルを比較して出力する比較部32とを備えたこと、を特徴とする半導体素子の内部電圧発生回路。

【請求項2】 前記駆動部の出力端と接地間に、入力するイネーブル信号によりイネーブルされるスイッチング手段が追加備えられたことを特徴とする請求項1記載の半導体素子の内部出力発生回路。

【請求項3】 前記第2電圧発生部は、基準電圧がゲートに印加し、ソースは外部電圧に連結されたPMOSトランジスタと、該PMOSトランジスタのドレインと接地間にそれぞれゲート及びドレインが共通連結された各PMOSトランジスタと、それらPMOSトランジスタ間に連結された抵抗と、を備え、前記PMOSトランジスタのドレインが出力端になるように構成されたことを特徴とする請求項1記載の半導体素子の内部電圧発生回路。

【請求項4】 前記第3電圧発生部は、基準電圧がゲートに印加しソースは外部電圧に連結されたPMOSトランジスタと、該PMOSトランジスタのドレインと接地間にそれぞれゲート及びドレインが直列に連結された各PMOSトランジスタと、を備え、前記PMOSトランジスタのドレインが出力端になるように構成されたことを特徴とする請求項1記載の半導体素子の内部電圧発生回路。

【請求項5】 前記スイッチング部は、外部電圧がソースに印加し、内部電圧がドレインに印加し、ゲートに前記領域感知部の出力端が連結されたPMOSトランジスタであることを特徴とする請求項1記載の半導体素子の内部電圧発生回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、外部電圧( $V_{c\ c}$ )を変換して半導体素子の内部電圧( $V_{dd}$ )を発生する回路に係るもので、詳しくは、外部電圧のレベルが

2

低いとき、該外部電圧を直接内部電圧として用いる半導体素子の内部電圧発生回路に関するものである。

## 【0002】

【従来の技術】 従来の半導体素子の内部電圧発生回路においては、図2に示したように、基準電圧 $V_{ref}$ により外部電圧 $V_{cc}$ のレベルを変換して出力する電圧発生部1と、該電圧発生部1の出力及び帰還する内部電圧 $V_{dd}$ を受けて所定レベルの内部電圧 $V_{dd}$ を出力する駆動部2と、該駆動部2と接地間に接続されてイネーブル信号 $E_a$ によりイネーブルされるNMOSトランジスタN11と、を備えて構成されていた。

【0003】 かつ、前記電圧発生部1においては、基準電圧 $V_{ref}$ がゲートに印加されソースは外部電圧 $V_{cc}$ に連結されドレインが端子aに連結されたPMOSトランジスタP11と、前記端子aと接地間にそれぞれゲート及びドレインが直列連結されたPMOSトランジスタP12, P13, P14と、を備えていた。

【0004】 また、前記駆動部2においては、前記端子a及び出力端cがそれぞれ入力端に連結された差動増幅器DFと、該差動増幅器DFの出力がゲートに印加されソースは外部電圧 $V_{cc}$ に連結されドレインが前記出力端cに連結されたPMOSトランジスタP15と、を備えていた。

【0005】 更に、前記差動増幅器DFにおいては、図3に示したように、外部電圧 $V_{cc}$ にソースが連結されドレイン及びゲートが共通に連結されたPMOSトランジスタP21と、該PMOSトランジスタP21と電流ミラーを形成するPMOSトランジスタP22と、前記PMOSトランジスタP21のドレインにドレインが連結されてゲートは前記電圧発生部1の出力端子aに連結されたNMOSトランジスタN21と、前記駆動部2の出力端cにゲートが連結され前記NMOSトランジスタN21と規格が同様なNMOSトランジスタN22と、それらNMOSトランジスタN21, N22のソースにドレインが連結されてイネーブル信号 $E_b$ により電流源として動作するNMOSトランジスタN23と、から構成されていた。

【0006】 以下、このように構成された従来の半導体素子の内部電圧発生回路の動作に対し説明する。

【0007】 まず、電圧発生部1のPMOSトランジスタP11のゲートに入力する基準電圧 $V_{ref}$ により該PMOSトランジスタP11には下記数学式1に示したような電流Iが流れる。

$$I = k (V_{gs} - V_t)^2 \quad (1)$$

【0009】 ここで、 $V_{gs}$ はPMOSトランジスタP11のゲート-ソース電圧を示し、 $V_t$ はしきい電圧を示し、kは比例常数である。

【0010】 次いで、電圧発生部1の各PMOSトランジスタP12, P13, P14の規格が前記PMOSトランジスタP11と同様であると、各PMOSトランジ

3

スタのゲート-ソース電圧 $V_{GS}$ は次の数学式2に示したようになる。

$$【0011】 V_{GS} = V_T + \alpha$$

ここで、上記 $\alpha$ は

$$【0012】$$

【数1】

$$\sqrt{\frac{I}{k}}$$

である。

【0013】この場合、前記数学式1により前記PMOSトランジスタP11のドレインの端子aの電圧 $V_a$ は、前記電圧 $V_{GS}$ の3倍の $3V_{GS}$ になり、外部電圧 $V_{CC}$ 及び基準電圧 $V_{REF}$ が同様に増加又は減少すると、その電圧 $V_a$ は $3V_{GS}$ に一定に維持される。

【0014】次いで、該電圧 $V_a$ は、図3に示した差動增幅器DFのNMOSトランジスタN21のゲートに印加され、該NMOSトランジスタN21の反対側のNMOSトランジスタN22のゲートには内部電圧 $V_{DD}$ が印加されるため、図2において前記電圧 $V_a$ と内部電圧 $V_{DD}$ とが比較されて該比較値がPMOSトランジスタP15のゲートに印加される。

【0015】一方、図3において前記各NMOSトランジスタN21、N22と連結されたNMOSトランジスタN23はゲートに入力するイネーブル信号 $E_b$ により電流源として動作し、図2において差動増幅器DF及びPMOSトランジスタP15と出力端cとの間にループを形成するため、内部電圧 $V_{DD}$ は前記電圧 $V_a$ と同様になり、以下の数学式3に示した値となる。

$$【0016】 V_{DD} = V_{GS} = 3(V_T + \alpha)$$

【0017】このような数学式3から得られた内部電圧 $V_{DD}$ 値は最終の内部電圧 $V_{DD}$ 値として半導体素子に供給される。

$$【0018】$$

【発明が解決しようとする課題】しかるに、このように構成された従来半導体素子の内部電圧発生回路においては、外部電圧 $V_{CC}$ のレベルが低くなると、基準電圧 $V_{REF}$ が印加するPMOSトランジスタP11の動作領域が飽和領域から線形領域に遷移して前記PMOSトランジスタP11が線形領域で動作し、端子aの電圧 $V_a$ が急激に低くなつて内部電圧 $V_{DD}$ レベルが低下するため、半導体素子の動作速度が遅延されるという不都合な点があった。

【0019】通常は、外部電圧 $V_{DD}$ が若干低くなつても、半導体素子に供給される内部電圧 $V_{DD}$ は急激に低下して変化するため、半導体素子の誤動作が発生する要いがあるという不都合な点があった。

【0020】そこで、本発明の目的は外部電圧 $V_{CC}$ のレベルが低下しても、半導体素子に供給される内部電圧のレベル低下を防止し得る半導体素子の内部電圧発生回路を提供しようとするものである。

4

【0021】かつ、本発明の他の目的は、外部電圧 $V_{CC}$ のレベルが低下したとき、該外部電圧 $V_{CC}$ を半導体素子の内部電圧 $V_{DD}$ に直接供給して使用し得る半導体素子の内部電圧発生回路を提供しようとするものである。

$$【0022】$$

【課題を解決するための手段】上記のような目的を達成するため、本発明に係る半導体素子の内部電圧発生回路においては、基準電圧により外部電圧のレベルを変換して出力する電圧発生部と、該電圧発生部の出力及び帰還する内部電圧を受けて所定レベルの内部電圧を出力する駆動部と、外部電圧のレベルが所定レベル以下に低下したとき、これを感知して該当の信号を出力する領域感知部と、該領域感知部の出力信号により外部電圧を内部電圧に供給又は遮断するスイッチング部と、から構成されている。

$$【0023】$$

【発明の実施の形態】以下、本発明の実施の形態に対し、図面を用いて説明する。本発明に係る半導体素子の内部電圧発生回路においては、図1に示したように、基準電圧 $V_{REF}$ により外部電圧 $V_{CC}$ のレベルを変換して出力する電圧発生部1と、該電圧発生部1の出力及び帰還する内部電圧 $V_{DD}$ を受けて所定レベルの内部電圧を出力する駆動部2と、外部電圧 $V_{CC}$ のレベルが所定レベル以下に低下したとき、これを感知して該当の信号を出力する領域感知部30と、該領域感知部30の出力信号により外部電圧 $V_{CC}$ を内部電圧 $V_{DD}$ として供給し又は遮断するスイッチング部3と、から構成されている。

【0024】そして、前記領域感知部30においては、基準電圧 $V_{REF}$ により外部電圧 $V_{CC}$ のレベルを変換して出力する第2電圧発生部31と、基準電圧 $V_{REF}$ により外部電圧 $V_{CC}$ のレベルを前記第2電圧発生部31の出力電圧 $V_d$ のレベルよりも低い出力電圧 $V_e$ に出力する第3電圧発生部33と、前記第2電圧発生部31の出力電圧 $V_d$ 及び前記第3電圧発生部33の出力電圧 $V_e$ のレベルを比較して比較信号 $V_f$ を出力する比較部32と、から構成されている。かつ、前記スイッチング部3においては、前期比較部32から出力する比較信号 $V_f$ により外部電圧 $V_{CC}$ を内部電圧 $V_{DD}$ に供給又は遮断するPMOSトランジスタP31にて構成されている。

【0025】かつ、前記第2電圧発生部31においては、基準電圧 $V_{REF}$ がゲートに印加され、ソースは外部電圧 $V_{CC}$ に連結されたPMOSトランジスタP32と、該PMOSトランジスタP32のドレインと接地間にそれぞれゲート及びドレインが共通連結されたPMOSトランジスタP33、P34、P35と、それらPMOSトランジスタP33、P34間に接続された抵抗Rと、前記PMOSトランジスタP33のドレインから外

部に連結された端子dと、を備えている。

【0026】また、前記第3電圧発生部33においては、基準電圧V<sub>ref</sub>がゲートに印加されソースは外部電圧V<sub>cc</sub>に連結されたPMOSトランジスタP38と、該PMOSトランジスタP38のドレインと接地間にそれぞれゲート及びドレインが直列に連結されたPMOSトランジスタP39、P40と、前記PMOSトランジスタP38のドレインから外部に連結された端子eと、を備えている。

【0027】更に、前記比較部32においては、前記端子dから出力する第2電圧発生部31の出力電圧V<sub>d</sub>と前記端子eから出力する第3電圧発生部33の出力電圧V<sub>e</sub>とを比較して、ハイ又はロー状態の比較信号V<sub>f</sub>を出力する差動増幅器にて構成され、該差動増幅器は、外部電圧V<sub>cc</sub>にソースが連結されドレイン及びゲートが共通連結されたPMOSトランジスタP36と、該PMOSトランジスタP36と電流ミラーを形成するPMOSトランジスタP37と、前記PMOSトランジスタP36のドレインにドレインが連結されゲートは前記第2電圧発生部31の出力端dに連結されたNMOSトランジスタN31と、該NMOSトランジスタN31と同様な規格を有して前記第3電圧発生部33の出力端V<sub>e</sub>にゲートが連結されたNMOSトランジスタN32と、それらNMOSトランジスタN31、N32のソースにドレインが連結されてイネーブル信号E<sub>c</sub>により電流源として動作するNMOSトランジスタN33と、を備えている。

【0028】以下、このように構成された本発明に係る半導体素子の内部電圧発生回路の動作に対し、図1を用いて説明する。

【0029】まず、基準電圧V<sub>ref</sub>が第2電圧発生部31のPMOSトランジスタP32のゲートと第3電圧発生部33のPMOSトランジスタP38のゲートとに印加されると、前記PMOSトランジスタP32に連結されたPMOSトランジスタP33のドレイン端子dの電圧V<sub>d</sub>は、接地された2つのPMOSトランジスタP34、P35及び抵抗Rにより次の数学式4に示したようになる。

$$[0030] V_d = 2(V_t + \alpha) + I_1 R$$

【0031】ここで、I<sub>1</sub>は抵抗Rに流れる電流を示す。

【0032】かつ、前記第3電圧発生部33のPMOSトランジスタP38のドレイン端子eの電圧V<sub>e</sub>は、接地された2つのPMOSトランジスタP39、P40により次の数学式5に示したようになる。

$$[0033] V_e = 2(V_t + \alpha)$$

【0034】次いで、前記電圧V<sub>d</sub>が比較部32のNMOSトランジスタN31のゲートに印加され、前記電圧V<sub>e</sub>が比較部32のNMOSトランジスタN32のゲートに印加されて、それら電圧V<sub>d</sub>、V<sub>e</sub>のレベルが比較

されて比較信号V<sub>f</sub>が出力端fから出力されるが、このとき、電圧V<sub>d</sub>のレベルが電圧V<sub>e</sub>のレベルよりも高いとハイ状態の比較信号V<sub>f</sub>が出力され、前記電圧V<sub>d</sub>のレベルが電圧V<sub>e</sub>のレベルよりも低いと、ロー状態の比較信号V<sub>f</sub>が出力される。

【0035】かつ、外部電圧V<sub>cc</sub>のレベルが高いと第2電圧発生部31のPMOSトランジスタP32及び第3電圧発生部33のPMOSトランジスタP38が飽和領域で動作するため、前記電圧V<sub>d</sub>のレベルが電圧V<sub>e</sub>のレベルよりもI<sub>1</sub>Rだけ高くなり、よって、比較部32の出力端fの出力信号V<sub>f</sub>がハイ状態になって、スイッチ部3のPMOSトランジスタP31がターンオンし、このときの動作は従来の回路の動作と同様になる。

【0036】一方、外部電圧V<sub>cc</sub>のレベルが低下してある程度のレベルに至ると、前記PMOSトランジスタP32は線形領域で動作し始めるが、前記PMOSトランジスタP38はそのまま飽和領域で動作する。

【0037】即ち、第2電圧発生部31は外部電圧V<sub>cc</sub>と接地電圧との間に4個のPMOSトランジスタP32～P35及び1個の抵抗Rが直列連結され、前記第3電圧発生部33は外部電圧V<sub>cc</sub>と接地間に3個のPMOSトランジスタP38～P40が連結されているため、前記第2電圧発生部31のPMOSトランジスタP32が先に線形領域で動作され、この際の第2電圧発生部31の出力端dの電圧V<sub>d</sub>は次の数学式6に示したようになる。

$$[0038] V_d = 2(V_t + \alpha') + I_1 R$$

【0039】次いで、外部電圧V<sub>cc</sub>が低下し続けて次の数学式7に示したように、電圧V<sub>d</sub>のレベルが電圧V<sub>e</sub>のレベルよりも低くなると、この時点で前記比較部32の出力端fから出力する比較信号V<sub>f</sub>がハイレベルからローレベルに転換される。

#### 【0040】

$$2(V_t + \alpha') + I_1 R < 2(V_t + \alpha)$$

【0041】したがって、前記スイッチ部3のPMOSトランジスタP31がターンオンされて、外部電圧V<sub>cc</sub>が直接内部電圧V<sub>d</sub>として出力される。

#### 【0042】

【発明の効果】以上説明したように、請求項1に記載の発明によれば、外部電圧レベルが低下すると、該低下された外部電圧を直接内部電圧として供給し、半導体素子に供給される内部電圧レベルの急激な低下を防止するようになっているため、半導体素子の誤動作を防止し、製品の信頼性向上し得るという効果がある。

【0043】そして、請求項2に記載の発明によれば、低下した外部電圧V<sub>cc</sub>による内部電圧V<sub>d</sub>のレベルの急激な減少をチェックし得るという効果がある。

【0044】また、請求項3及び4に記載の発明によれば、外部電圧V<sub>cc</sub>が低下するとき、該低下した外部電圧V<sub>cc</sub>により2つの動作領域である飽和領域及び線形

領域が相互異なる2つの出力電圧 $V_d$ 、 $V_e$ を発生し得るという効果がある。

【0045】更に、請求項5に記載の発明によれば、相互異なる2つの出力電圧 $V_d$ 、 $V_e$ のレベルを比較し、該比較結果に従って論理状態の変化する信号 $V_f$ を出力するという効果がある。

【0046】そして、請求項6に記載の発明によれば、外部電圧 $V_{cc}$ のレベルがある程度低くなると、該外部電圧 $V_{cc}$ を内部電圧 $V_{dd}$ に変更させるため、前記外部電圧 $V_{cc}$ が半導体素子に直接印加されるという効果がある。

#### 【図面の簡単な説明】

【図1】本発明に係る半導体素子の内部電圧発生回路図である。

【図2】従来半導体素子の内部電圧発生回路図である。

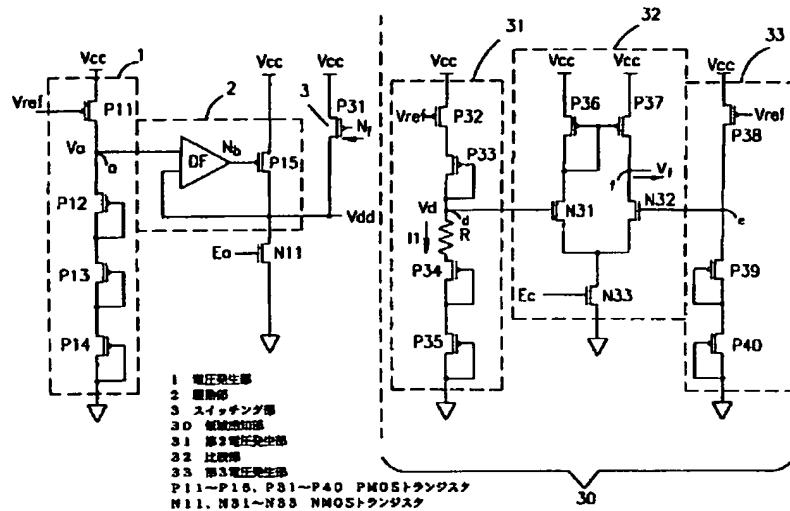
【図3】従来駆動部の差動増幅器を示した回路図である。

#### 【符号の説明】

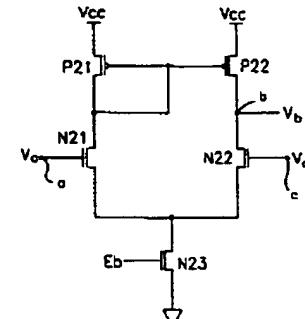
- 1 電圧発生部
- 2 駆動部
- 3 スイッチング部
- 3.0 領域感知部
- 3.1 第2電圧発生部
- 3.2 比較部
- 3.3 第3電圧発生部

P11～P15、P31～P40 PMOSトランジスタ  
N11、N31～N33 NMOSトランジスタ

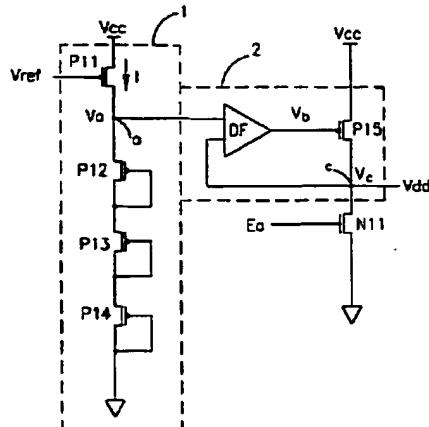
【図1】



【図3】



【図2】



## 【手続補正書】

【提出日】平成11年4月28日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

## 【特許請求の範囲】

【請求項1】 基準電圧( $V_{ref}$ )により外部電圧( $V_{cc}$ )のレベルを変換して出力する第1電圧発生部(1)と、該第1電圧発生部(1)の出力電圧( $V_a$ )と帰還された内部電圧( $V_{dd}$ )とを比較して所定レベルの内部電圧( $V_{dd}$ )を出力する駆動部(2)と、該駆動部(2)の出力端子(C)と接地電圧( $V_{ss}$ )間に接続されたN MOSトランジスタ(N11)と、を備えた内部電圧発生回路において、外部電圧( $V_{cc}$ )のレベル変化を感知する外部電圧感知部(30)と、外部電圧( $V_{cc}$ )と前記駆動部(2)の出力端子(C)間に接続されて、前記外部電圧感知部(30)の出力により外部電圧( $V_{cc}$ )を内部電圧( $V_{dd}$ )として供給又は遮断するスイッチ部(3)と、を備え、前記外部電圧感知部(30)は、基準電圧( $V_{ref}$ )により外部電圧( $V_{cc}$ )を分圧して夫々第1、第2電圧( $V_d$ ,  $V_e$ )を出力する第2、第3電圧発生部(31, 33)と、前記第1、第2電圧( $V_d$ ,  $V_e$ )のレベルを比較して出力する比較部(32)とから構成され、

前記第2電圧発生部(31)は、外部電圧( $V_{cc}$ )が所定レベル以上であると、第2電圧( $V_e$ )よりも高い第1電圧( $V_d$ )を出し、外部電圧( $V_{cc}$ )が所定レベル以下であると、第2電圧( $V_e$ )よりも低い第1電圧( $V_d$ )を出力することを特徴とする半導体素子の内部電圧発生回路。

【請求項2】 前記第2電圧発生部(31)は、基準電圧( $V_{ref}$ )がゲートに印加し、ソースは外部電圧( $V_{cc}$ )に接続された第1 PMOSトランジスタ(P32)と、該第1 PMOSトランジスタ(P32)のドレインと接地電圧( $V_{ss}$ )間に夫々直列接続された第1～第3ダイオード型PMOSトランジスタ(P33～P35)と、

それら第1、第2ダイオード型PMOSトランジスタ(P33, P44)間に接続された抵抗(R)と、を備え、前記第1ダイオード型PMOSトランジスタ(P34)のドレインが出力端子(d)になるように構成されたことを特徴とする請求項1記載の半導体素子の内部電圧発生回路。

【請求項3】 前記第3電圧発生部(33)は、基準電圧( $V_{ref}$ )がゲートに印加し、ソースは外部電圧

( $V_{cc}$ )に接続された第2 PMOSトランジスタ(P38)と、

該第2 PMOSトランジスタ(P38)のドレインと接地電圧( $V_{ss}$ )間に夫々直列接続された第4、第5ダイオード型PMOSトランジスタ(P39, P40)と、を備え、前記第2 PMOSトランジスタ(P38)のドレインが出力端子(e)になるように構成されたことを特徴とする請求項1記載の半導体素子の内部電圧発生回路。

【請求項4】 前記スイッチ部(3)は、PMOSトランジスタ(P31)であることを特徴とする請求項1記載の半導体素子の内部電圧発生回路。

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正内容】

## 【0022】

【課題を解決するための手段】上記のような目的を達成するため、本発明に係る半導体素子の内部電圧発生回路においては、基準電圧により外部電圧のレベルを変換して出力する電圧発生部と、該電圧発生部の出力及び帰還する内部電圧を受けて所定レベルの内部電圧を出力する駆動部と、外部電圧のレベルが所定レベル以下に低下したとき、これを感知して該当の信号を出力する外部電圧感知部と、該外部電圧感知部の出力信号により外部電圧を内部電圧に供給又は遮断するスイッチング部と、から構成されている。

## 【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正内容】

## 【0023】

【発明の実施の形態】以下、本発明の実施の形態に対し、図面を用いて説明する。本発明に係る半導体素子の内部電圧発生回路においては、図1に示したように、基準電圧 $V_{ref}$ により外部電圧 $V_{cc}$ のレベルを変換して出力する電圧発生部1と、該電圧発生部1の出力及び帰還する内部電圧 $V_{dd}$ を受けて所定レベルの内部電圧を出力する駆動部2と、外部電圧 $V_{cc}$ のレベルが所定レベル以下に低下したとき、これを感知して該当の信号を出力する外部電圧感知部30と、該外部電圧感知部30の出力信号により外部電圧 $V_{cc}$ を内部電圧 $V_{dd}$ として供給し又は遮断するスイッチング部3と、から構成されている。

## 【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0024

#### 【補正方法】変更

【補正內容】

【0024】そして、前記外部電圧感知部30においては、基準電圧V<sub>ref</sub>により外部電圧V<sub>cc</sub>のレベルを変換して出力する第2電圧発生部31と、基準電圧V<sub>ref</sub>により外部電圧V<sub>cc</sub>のレベルを前記第2電圧発生部31の出力電圧V<sub>d</sub>のレベルよりも低い出力電圧V<sub>e</sub>に出力する第3電圧発生部33と、前記第2電圧発生部31の出力電圧V<sub>d</sub>及び前記第3電圧発生部33の出力電圧V<sub>e</sub>のレベルを比較して比較信号V<sub>f</sub>を出力する比較部32と、から構成されている。かつ、前記スイッチング部3においては、前期比較部32から出力する比較信号V<sub>f</sub>により外部電圧V<sub>cc</sub>を内部電圧V<sub>d</sub>に供給又は遮断するPMOSトランジスタP31にて構成されている。

【手続補正5】

### 【補正対象書類名】明細書

【補正対象項目名】0035

#### 【補正方法】麥更

### 【補正內容】

【0035】かつ、外部電圧  $V_{CC}$  のレベルが高いと第2電圧発生部31のPMOSトランジスタP32及び第3電圧発生部33のPMOSトランジスタP38が飽和領域で動作するため、前記電圧  $V_d$  のレベルが電圧  $V_e$  のレベルよりも  $|V_B|$ だけ高くなり、よって、比較部34

2の出力端 f の出力信号  $V_f$  がハイ状態になって、スイッチ部3のPMOSトランジスタP31がターンオフし、このときの動作は従来の回路の動作と同様になる。

《手稿補正 6》

### 【補正対象書類名】明細書

### 【補正対象項目名】符号の説明

### 【補正方法】変更

【補正內容】

【符号の説明】

- 1 電圧発生部
- 2 駆動部
- 3 スイッチング部
- 30 外部電圧感知部
- 31 第2電圧発生部
- 32 比較部
- 33 第3電圧発生部

P11～P15、P31～P40 PMOSトランジスタ  
 N11 N31～N33 NMOSトランジスタ

【手續補正】

### 【補正対象妻】

#### 【補正対象項目名】図1

#### 【補正方法】変更

【補正内】

